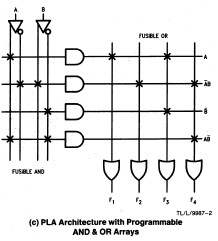
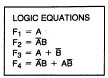
**Diseño con lógica programable PLD.**

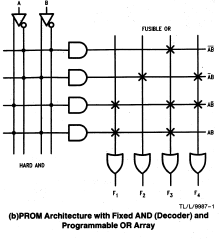
El diseño con lógica programable es usar el mínimo de componentes empaquetadas y teniendo flexibilidad. La clave para esto es usar celdas programables embebidas, que permitan una variedad de componentes lógicas dentro de un diseño específico.

En los primeros esfuerzos se creó una matriz de diodos con fusibles de aluminio en puntos de cruce del arreglo.

Esto derivo en una memoria direccionable, que puede ser vista como un dispositivo universal con un arreglo AND en forma de matriz (un decodificador alambrado de 2n términos), este alimentando una matriz OR programable (el arreglo de diodos), esta es un PROM , la problemática del arreglo es que esta maneja 2n variables, lo que hacía que el número de productos del arreglo AND se duplicara por cada variable nueva, normalmente los diseños requieren de muchas variables de entrada pero no una unidad de decodificación (arreglo AND).

Como ejemplo tenemos estas funciones a implementar en los arreglos PROM , y PAL en sus dos versiones.

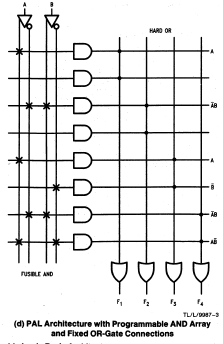




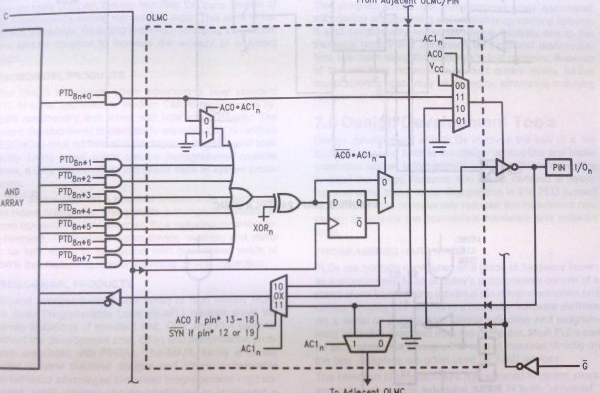
El dilema se resolvió introduciendo una segunda matriz de fusibles en lugar del decodificador alambrado, permitiendo la selección de solo algunos términos requeridos para el diseño.

A esto se le llamo FPLA (Field Programmable Array) quedando en solo PLA.

Para solucionar esto se decidió alambrar un arreglo OR que permitía al usuario programar solamente el arreglo AND , denominando a estos **PAL** **Arreglos Lógicos Programables** ,creando un potencial de eficiencia para los programadores de este tipo de dispositivos.

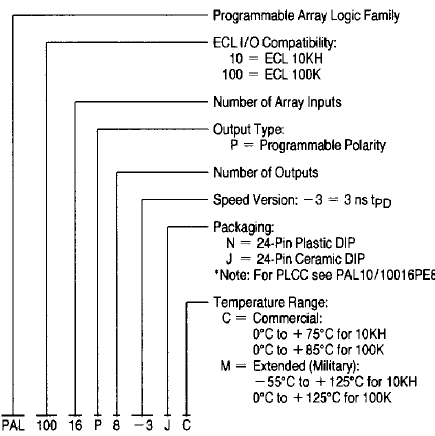


Más adelante se mejoró el sistema de celdas , haciendo a estas reconfigurables haciéndolas “Genéricas” denominando a estos dispositivos **GAL Arreglos Lógicos Genéricos** , estos no solo ofrecen una configuración lógica, permite la modificación del modificación de los prototipos , actualización y mejora. De esta forma se estableció el concepto de OLMC (Output Logic Macro Cell) , el cual usa una programación de las celdas para re direccionar las salidas lógicas para emular el comportamiento de otra variedad de arquitecturas TTL PAL , más otras configuraciones, entre las que tenemos TERCER ESTADO , señales de control (retroalimentación), reloj , entradas y salidas y polaridad en las salidas. Un GAL o PLD tienen en común el componente denominado Arreglo lógico, el cual está constituido de un juego de compuertas AND, el cual genera se denomina líneas de producto.



La OLMC es la otra parte de un sistema GAL, este se programa internamente usando un sistema de interruptores binarios que adecuan las salidas para que el bit tome algunas de las características anteriormente mencionadas. Los dispositivos programables usan una nomenclatura para explicar sus características. Por ejemplo las más comunes

**PAL10/10016P8-3**



**PAL** Se entiende la explicación como un arreglo lógico programable.

**10/100** Entradas de lógica de emisor acoplada, o sea necesita una resistencia para fijar el voltaje de salida del cero lógico.

**16**  Número de Entradas del arreglo

**P** Salida con polaridad programable (por lo del ECL)

**8**  Número de salidas del arreglo

**-3** Velocidad del arreglo

**J**  Tipo de encapsulado en est caso DIP (tradicional de compuertas)

**C**  Uso Comercial (ver parámetros).

Para el desarrollo de este tipo de sistemas se tuvo que crear un sistema de estándares, que se dieron por parte de un organismo denominado

Joint Electron Device Engineering Council **JEDEC**

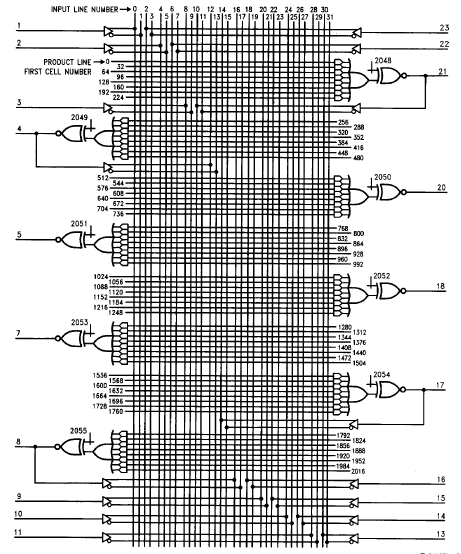
Se denomina para los dispositvos la existencia de archive JEDEC, o Estandares JEDEC para poder grabar los datos en estos dispositivos.

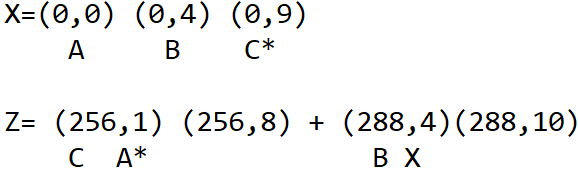
Para grabar los diseños en estos circuitos, se usan grabadores Universales, pero para poder usarlos debemos crear los archivos JEDEC, para ello podemos usar tres tipos de herramientas.

* OPAL (lenguaje de arquitecturas abiertas) NATIONAL
* ABEL Abierto
* CUPL(Lenguaje de programación universal de circuitos) ATMEL

Estos generan el sistema de archivo para borrar los fusibles que activan los arreglos. Por ejemplo para la PAL1016P8 deseamos crear las funciones lógicas

X= CBA Z= CA +XB el programa selecciona las entradas, salidas y arma los términos según se le indiquen las variables. Los fusibles que se **queman para hacer las conexiones Para ver a detalle usn zoom de 200.**





**JEDEC LOGIC ARRAY CELL NUMBER=PRODUCT LINE FIRST CELL NUMBER + INPUT LINE NUMBER**